

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-307228

(43)Date of publication of application : 12.12.1989

(51)Int.Cl. H01L 21/302
H01L 21/30

(21)Application number : 63-137572 (71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

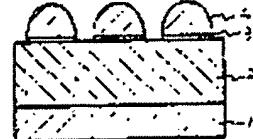
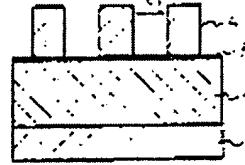
(22)Date of filing : 06.06.1988 (72)Inventor : TAKAGI HIROSHI
HASEGAWA NORIO

(54) PATTERN FORMING METHOD

(57)Abstract:

PURPOSE: To form a substratum film trench pattern finer than a resist trench pattern by a method wherein the sectional form of a resist is changed from a rectangle to a semicircle by heat treatment after the forming of resist pattern, and increasing the length of a base.

CONSTITUTION: A lower layer organic film 2 is formed on a substrate 17 an interlayer inorganic film 3 is formed on the lower layer organic film 2; resist is spread thereon and pre-baking is performed; an upper resist pattern 4 is formed by exposure and development. Then an upper resist pattern 4' after heat treatment is formed by baking; the interlayer inorganic film 3 and the lower organic layer 2 are sequentially etched by anisotropic etching. In this manner, the heat treatment is performed after the forming of resist pattern: the sectional form of the resist pattern 4' is changed to increase the length of the base. Thereby, a fine trench pattern exceeding the resolution limit of lithography is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

⑯ 公開特許公報 (A) 平1-307228

⑤ Int. Cl. 4

H 01 L 21/302
21/30
21/302

識別記号

3 6 1

庁内整理番号

J-8223-5F

P-7376-5F

H-8223-5F 審査請求 未請求 請求項の数 4 (全3頁)

⑥ 発明の名称 パターン形成法

⑦ 特 願 昭63-137572

⑧ 出 願 昭63(1988)6月6日

⑨ 発明者 高木 宏 東京都小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内

⑩ 発明者 長谷川 昇雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑪ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑫ 出願人 日立超エル・エス・アイ・エンジニアリング 東京都小平市上水本町1448番地

⑬ 代理人 弁理士 小川 勝男 外1名

明細書

ーン形成法。

1. 発明の名称

パターン形成法

2. 特許請求の範囲

1. レジスト膜を露光、現象してレジストパターンを形成した後、熱処理を行なう事により上記レジストパターンの断面形状を変形させ寸法変換する事を特徴とするパターン形成法。

2. 前記レジスト膜が多層レジストの上層レジストである事を特徴とする特許請求の範囲第1項記載のパターン形成法。

3. 前記レジストパターンの寸法変換工程がパターン寸法の変換量に対応して、温度、熱処理時間、雰囲気の全て、あるいは少なくともいずれかについて一定、あるいは連続的もしくは段階的にそれぞれ制御する事を特徴とした特許請求の範囲第1項記載のパターン形成法。

4. 前記レジストパターンの寸法変換工程の前もしくは寸法変換工程中に紫外線照射を行なう事を特徴とした特許請求の範囲第1項記載のバタ

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置あるいは磁気バブル等の製造において用いられるリソグラフィ技術に係り、特にフォトリソグラフィの解像限界を越えた微細溝パターンの形成に有効なパターン形成法に関する。

〔従来の技術〕

従来のリソグラフィの限界を超えた微細溝パターンの形成方法では、特開昭61-102007号に記載の様に多層レジスト法の上層レジストパターン上にシリコン酸化膜等を堆積し、これを異方性ドライエッティングによりエッティングし、上層レジストパターン側面にシリコン酸化膜等のサイドウォールを形成し、これを下層膜に転写する事により上層レジストパターンより微細な溝パターンの形成を可能としていた。

〔発明が解決しようとする課題〕

上記従来技術では多層レジスト法に対し、上層

特開平1-307228(2)

レジストのDeepUVハードニング工程及びシリコン酸化膜等の堆積工程の2工程が新たに加わる為、工程の複雑化と共に処理時間の増大が問題であつた。

本発明の目的は特殊な工程、装置を必要とする事なく、フォトリソグラフィの解像限界を超えた微細溝パターンの形成法を提供する事にある。

〔課題を解決するための手段〕

上記目的は、寸法変換の方法としてレジストパターン形成後に熱処理を行なつてレジストパターンの断面形状を変形させ、その底辺長を増大させる事により達成される。

〔作用〕

本パターン形成法は、レジストパターン形成後に熱処理を行ないレジストの断面形状を矩形から半円状へと変形させ、底辺長を増大させる。これを下地被加工膜へ転写する事によりレジスト溝パターンより微細な下地膜溝パターンを形成する事が可能となる。

〔実施例〕

より $0.6 \mu\text{m}$ 格子パターンを形成し、ホットプレートにて 160°C 、6分のピーク後、ドライエッティングにより中間層無機膜、下層有機膜へと順次パターンを転写する。この時、 160°C 、6分のピークを行なう前の上層レジスト溝幅は $t_1 = 0.6 \mu\text{m}$ であるのに対し、下層有機膜溝幅は $t_2 = 0.4 \mu\text{m}$ となり、 $0.2 \mu\text{m}$ の寸法変換ができた。

尚、上記実施例でレジストの熱処理条件(熱フロー条件)は 160°C 6分としたが、この温度、時間はレジストの材質、膜厚によって最適値は異なる。また、目標の熱変形(フロー)の量、すなわち寸法変換量に対応し、高精度な条件設定が重要である。また、レジストの熱処理(熱フロー)前あるいは熱処理(熱フロー)中に、レジストに紫外線を照射する事によりレジストの熱変形(フロー)量を変える事も可能である。さらに、基板1の加熱方法は、多くの方法を用いることができるが、高精度な温度、時間制御を行なうには基板を真空吸着等で熱プレートに固定する、いわゆる

以下、本発明の一実施例を説明する。

第1図(a)に示す様に基板1の上に下層有機膜2を形成し、下層有機膜2の上に中間層無機膜3を形成し、この上に上層レジストを塗布しプリペークを行なう。更に露光、現像により上層レジストパターン4を形成する。

次に第1図(b)に示す様にピークを行ない熱処理後の上層レジストパターン4'を形成する。

次に第1図(c)に示す様に異方性ドライエッティングにより中間層無機膜3をエッティングする。

次に第1図(d)に示す様に異方性ドライエッティングにより下層有機膜2をエッティングする。

この結果、第2図に示す従来のパターン形成法では上層レジスト溝幅 t_1 と下層有機膜溝幅 t_2 の関係が $t_1 \leq t_2$ であるのに対し、本発明のパターン形成法では上層レジスト溝幅 t_1 と下層有機膜溝幅 t_2 の関係は $t_1 > t_2$ となり、微細な溝パターンを形成する事ができた。上記実施例の一例を以下詳細に述べる。上層レジストとしてTSHR8800(東京応化)を $1.0 \mu\text{m}$ 塗布し、露光、現像に

ホットプレートタイプを用いる事が望ましい。

本発明を半導体メモリ素子の作成に適用した例を示す。第3図はメモリ蓄積容量パターンを示す。第3図に示す様に本発明により形成したメモリ蓄積容量パターン5は、従来法により形成したメモリ蓄積容量パターン5'より面積を増大させる事ができる。また、隣接するメモリ蓄積容量パターンの間隔 t_{11} 、 t_{11}' において、従来法による間隔 t_{11}' はリソグラフィの解像限界に制限されるのに対し、本発明による間隔 t_{11} はリソグラフィの解像限界を超えた、より微細なものとする事ができる。

尚、ここでは代表的な適用例を示したが、本発明の目的は微細溝、穴パターンの形成にあり、この効果を必要とするたとえば電極コンタクトパターン、配線パターン等いかなる工程にも適用可能であることは言うまでもない。

〔発明の効果〕

本発明によれば、レジストパターンの寸法を変換する事ができるので、リソグラフィの解像限界

特開平1-307228(3)

を超えた微細な溝パターンを形成する事ができる。

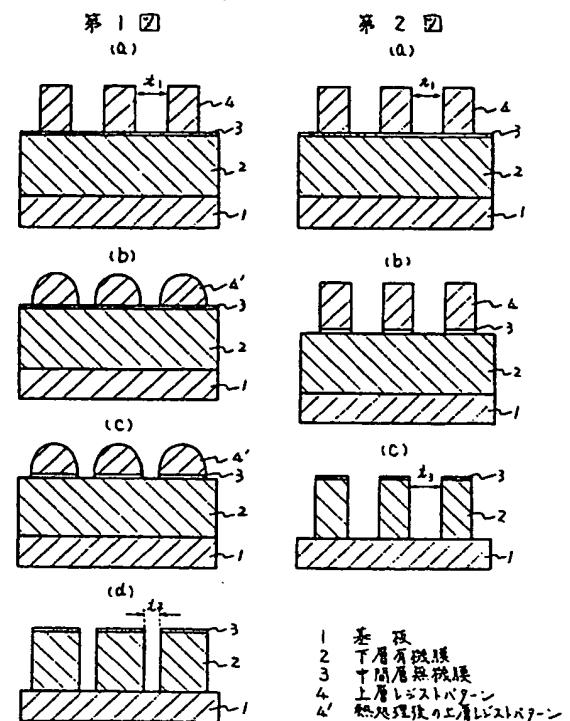
さらに上記発明を半導体素子の製造に適用する事により、素子の高密度化、高集積化が達成できる。

4. 図面の簡単な説明

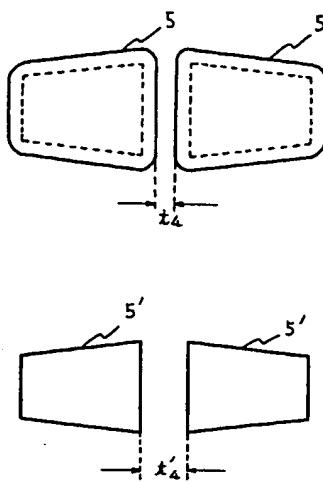
第1図は本発明の一実施例を示す工程図、第2図は従来法によるパターン形成法を示す工程図、第3図は本発明の効果を説明するための図である。

1 … 基板、2 … 下層有機膜、3 … 中間層無機膜、4 … 上層レジストパターン、4' … 热処理後の上層レジスタパターン、 t_1 … 上層レジスト溝幅、 t_2 … 下層有機膜溝幅、 t_3 … 下層有機膜溝幅、5 … 本発明により形成したメモリ蓄積容量パターン、5' … 従来法により形成したメモリ蓄積容量パターン、 t_4 … 接するパターンの間隔、 t_4' … 接するパターンの間隔。

代理人 弁理士 小川勝男



第3図



5 本発明により形成した
メモリ蓄積容量パターン

5' 従来法により形成した
メモリ蓄積容量パターン